

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 5 日
Date of Application:

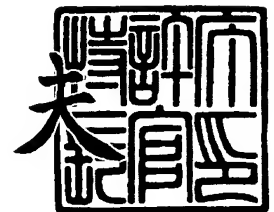
出 願 番 号 特 願 2 0 0 2 - 3 5 3 7 3 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 3 7 3 2]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 1 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 1 5 5 5

【書類名】 特許願

【整理番号】 P02S0006A1

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明の名称】 半導体記憶装置及びメモリセルアレイの消去方法

【請求項の数】 10

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 森本 英徳

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【電話番号】 06-6621-1221

【代理人】

 【識別番号】 100114476

 【弁理士】

 【氏名又は名称】 政木 良文

 【電話番号】 06-6233-6700

【選任した代理人】

 【識別番号】 100107478

 【弁理士】

 【氏名又は名称】 橋本 薫

 【電話番号】 06-6233-6700

【手数料の表示】

 【予納台帳番号】 072856

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 包括委任状 1

【援用の表示】 平成 1 4 年 1 2 月 3 日付で提出の包括委任状を援用します。

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びメモリセルアレイの消去方法

【特許請求の範囲】

【請求項 1】 不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを一または複数有する半導体記憶装置であって、

前記メモリセルは、電気抵抗の変化により情報を記憶する可変抵抗素子の一端側と選択トランジスタのドレインを接続してなり、且つ、前記メモリセルアレイ内において、前記抵抗変化素子の他端側と前記選択トランジスタのソースの何れか一方を前記列方向に沿って前記ビット線に共通接続し、その他方をソース線に共通接続し、前記選択トランジスタのゲートを前記行方向に沿って前記ワード線に共通接続してなり、

前記メモリセルアレイに接続する前記ワード線、前記ビット線、及び、前記ソース線に夫々所定の印加条件で電圧を印加し、当該メモリセルアレイ内の消去対象の前記メモリセル内の前記可変抵抗素子の電気抵抗を所定の消去状態にすることにより当該メモリセル内の前記情報を消去する消去手段を備え、

前記消去手段は、前記メモリセルアレイの少なくとも一つにおいて、当該メモリセルアレイ内の全ての前記メモリセルを一括に消去する一括消去モードと、前記消去手段が当該メモリセルアレイ内の一部の前記メモリセルを個別に消去する個別消去モードとを、前記電圧の印加条件によって切り替えることを特徴とする半導体記憶装置。

【請求項 2】 不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを複数有する半導体記憶装置であって、

前記メモリセルは、電気抵抗の変化により前記情報を記憶する可変抵抗素子の一端側と選択トランジスタのドレインを接続してなり、且つ、前記メモリセルアレイ内において、前記抵抗変化素子の他端側と前記選択トランジスタのソースの

何れか一方が前記列方向に沿って前記ビット線に共通接続し、その他方がソース線に共通接続し、前記選択トランジスタのゲートが前記行方向に沿って前記ワード線に共通接続してなり、

前記メモリセルアレイに接続する前記ワード線、前記ビット線、及び、前記ソース線に夫々所定の印加条件で電圧を印加し、当該メモリセルアレイ内の消去対象の前記メモリセル内の前記可変抵抗素子の電気抵抗を所定の消去状態にすることにより当該メモリセル内の前記情報を消去する消去手段を備え、

前記消去手段は、前記メモリセルアレイの少なくとも一つに対し、当該メモリセルアレイ内の全ての前記メモリセルを、前記電圧の印加条件を一括消去モードの印加条件に設定して一括に消去可能に、また、前記メモリセルアレイの他の少なくとも一つに対し、当該メモリセルアレイ内の一部の前記メモリセルを、前記電圧の印加条件を個別消去モードの印加条件に設定して個別に消去可能に、構成されていることを特徴とする半導体記憶装置。

【請求項3】 前記一括消去モードと前記個別消去モードの印加条件は、前記ワード線、前記ビット線、及び、前記ソース線の夫々に印加する電圧値である請求項1または2に記載の半導体記憶装置。

【請求項4】 前記消去手段は、前記一括消去モードにおいて、

前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行った後、前記各メモリセルが消去されたか否かを判定し、前記ワード線単位で行方向に全てのメモリセルが消去されている場合は、当該ワード線に対して前記一括消去モードの印加条件での電圧印加を停止し、前記ワード線単位で行方向に全てのメモリセルが消去されていないメモリセルに対しては、前記ワード線単位で行方向に全てのメモリセルが消去されるまで、当該ワード線に対して前記一括消去モードの印加条件での電圧印加と前記判定を繰り返すことを特徴とする請求項1～3の何れか1項に記載の半導体記憶装置。

【請求項5】 前記メモリセルアレイ内の書き込み対象の前記メモリセルに接続する前記ワード線、前記ビット線、及び、前記ソース線に夫々所定の印加条件で電圧を印加し、当該メモリセル内の前記可変抵抗素子の電気抵抗を所定の書き込み状態にすることにより当該メモリセル内に前記情報を書き込む書き込み

手段を備え、

前記一括消去モードにおいて、前記消去手段が、前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行う前に、

前記書き込み手段が、当該メモリセルの全てに対し、前記可変抵抗素子の電気抵抗が所定の書き込み状態に統一されるように書き込み動作を行うことを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記消去手段は、前記個別消去モードにおいて、

前記メモリセルアレイ内の消去対象の前記メモリセルに対し、前記個別消去モードの印加条件で電圧の印加を行った後、当該メモリセルが消去されたか否かを個別に判定し、消去されているメモリセルについては、当該メモリセルに接続する前記ワード線または前記ビット線の少なくとも何れか一方に対して前記個別消去モードの印加条件での電圧印加を停止し、消去されていないメモリセルに対しては、当該メモリセルが消去されるまで、メモリセル単位で前記個別消去モードの印加条件での電圧印加と前記判定を繰り返すことを特徴とする請求項 1～5 の何れか 1 項に記載の半導体記憶装置。

【請求項 7】 不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを一または複数有し、前記メモリセルが、電気抵抗の変化により情報を記憶する可変抵抗素子の一端側と選択トランジスタのドレインを接続してなり、且つ、前記メモリセルアレイ内において、前記抵抗変化素子の他端側と前記選択トランジスタのソースの何れか一方が前記列方向に沿って前記ビット線に共通接続し、その他方がソース線に共通接続し、前記選択トランジスタのゲートが前記行方向に沿って前記ワード線に共通接続してなる半導体記憶装置におけるメモリセルアレイの消去方法であって、

前記メモリセルアレイ内の全ての前記メモリセルを前記メモリセルアレイ単位で一括に消去する一括消去モードと、前記メモリセルアレイ内の一部の前記メモリセルを個別に消去する個別消去モードとを備え、

前記各消去モードにおいては、前記メモリセルアレイの消去対象のメモリセルに接続する前記ワード線、前記ビット線、及び、前記ソース線の夫々に各消去モードの印加条件で電圧を印加し、当該消去対象のメモリセル内の前記可変抵抗素子の電気抵抗を所定の消去状態にすることにより当該メモリセル内の前記情報を消去し、

前記一括消去モードの印加条件と前記個別消去モードの印加条件は、前記ワード線、前記ビット線、及び、前記ソース線の少なくとも一つに対する印加条件が異なることを特徴とするメモリセルアレイの消去方法。

【請求項 8】 前記一括消去モードにおいて、前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行った後、前記各メモリセルが消去されたか否かを判定し、前記ワード線単位で行方向に全てのメモリセルが消去されている場合は、当該ワード線に対して前記一括消去モードの印加条件での電圧印加を停止し、前記ワード線単位で行方向に全てのメモリセルが消去されていないメモリセルに対しては、前記ワード線単位で行方向に全てのメモリセルが消去されるまで、当該ワード線に対して前記一括消去モードの印加条件での電圧印加と前記判定を繰り返すことを特徴とする請求項 7 に記載のメモリセルアレイの消去方法。

【請求項 9】 前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行う前に、

前記メモリセルアレイに接続する前記ワード線、前記ビット線、及び、前記ソース線に夫々所定の印加条件で電圧を印加し、当該メモリセル内の前記可変抵抗素子の電気抵抗を所定の書き込み状態に統一されるよう書き込み動作を行うことを特徴とする請求項 8 に記載のメモリセルアレイの消去方法。

【請求項 10】 前記個別消去モードにおいて、前記メモリセルアレイ内の消去対象の前記メモリセルに対し、前記個別消去モードの印加条件で電圧の印加を行った後、当該メモリセルが消去されたか否かを個別に判定し、消去されているメモリセルについては、当該メモリセルに接続する前記ワード線または前記ビット線の少なくとも何れか一方に対して前記個別消去モードの印加条件での電圧印加を停止し、消去されていないメモリセルに対しては、当該メモリセルが消去

されるまで、メモリセル単位で前記個別消去モードの印加条件での電圧印加と前記判定を繰り返すことを特徴とする請求項 7～9 の何れか 1 項に記載のメモリセルアレイの消去方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを一または複数有する半導体記憶装置に関し、特に可変抵抗素子をメモリ担体に用いたメモリセルアレイの消去方法に関する。

【0002】

【従来の技術】

近年の半導体記憶装置の進歩は著しく、特にフラッシュメモリは電氣的に書き換えが可能であり、しかも電源を切ってもデータが消えない点から、容易に持ち運びの可能なメモリカードや携帯電話などに使われ、装置稼働の初期設定として不揮発に記憶しておくデータストレージ、プログラムストレージなどとしての機能を発揮している。

【0003】

前記フラッシュメモリとして、ETOX（米国インテル社登録商標）型メモリセルが知られている。このETOX型セルは、図9に示すように、半導体基板1内にソース3及びドレイン2が形成されており、このソース・ドレインは半導体基板1と逆の極性を有する。また、このソース・ドレイン間上にはゲート絶縁膜4、さらに、その上にはフローティングゲート5、層間絶縁膜6、コントロールゲート7が形成されている。

【0004】

このETOX型セル10の動作原理は、データ書き込み（プログラム）時には、ソース3にはソース電圧 V_s として通常低電圧（例えば0 V）が与えられ、ドレイン2には V_d （例えば6 V）、コントロールゲート7には高電圧 V_{pp} （例えば12 V）が印加される。この時、ドレイン・ソース間にはホットエレクトロ

ンとホットホールが発生する。ホットホールは基板電流として基板に流れ込む。一方、ホットエレクトロンはフローティングゲートに注入され、トランジスタのコントロールゲート7からみた閾値電圧が上昇する。

【0005】

また、読み出し時には、ソース電圧を低電圧（例えば0 V）、ドレイン電圧をソース電圧より少し高い電圧（例えば1 V）、コントロールゲート7に5 Vを印加する。この時、書き込みセルと非書き込みセルでは、閾値が異なることからソース・ドレイン間に流れ込む電流が異なる。これをセンスして、ある一定電流より電流が大きい場合“1”（消去したセル）、小さい場合“0”（書き込まれたセル）としている。

【0006】

消去時には、ソース3に高電圧 V_{pp} （例えば12 V）、コントロールゲート7に低電圧（例えば0 V）が与えられ、さらに、ドレインがフローティング状態に保たれている。これにより、フローティングゲート・ソース間にトンネル酸化膜4を介してファウラーノルドハイム電流が流れ、フローティングゲート5から電子が抜き取られる。

【0007】

このような動作原理により書き込みおよび消去するセルが所定の閾値以上もしくは以下になっているかを確認するためにベリファイを行う。書き込みベリファイは、閾値（ V_{thp} ）の高い（例えば5.3 V）セル（リファレンスセル）と比較し、これ以上の閾値となった場合、書き込みセルと判断している。一方、消去ベリファイは、閾値（ V_{the} ）が低い（例えば3.1 V）セル（リファレンスセル）と比較して、これ以下の閾値となった場合、消去セルと判断している。

【0008】

このようなフラッシュメモリにおいて従来例に用いるソース共通型のメモリアレイ部の構成図を図10に示す。ワードデコーダ11にはアドレス信号が入力され、コラムデコーダ12にはデータ、アドレス信号、さらに、消去回路13には消去信号が入力されている。このチップは、 m 本（例えば $m=2048$ ）のワード線 WL_1, \dots, WL_m を有し、このワード線1本あたり n 個（例えば $n=51$

2) のメモリセルMCのコントロールゲートがつながっている。つまり、 n 本のビット線 $BL1, \dots, BLn$ を有している。従って、このメモリのメモリ容量は $m \times n$ 個（例えば1Mb）である。また、このメモリアレイのソースは共通であり、共通ソース線 SL は消去回路13に接続されている。消去時は、消去信号が消去回路13に入力され、図10に示すようにアレイ状に配置されたメモリセルトランジスタのソースに V_{pp} が印加され、全セル同時に消去することが出来る。

【0009】

実際のデバイスでは、消去はブロック単位、例えば64Kbと比較的大きな単位で行われ、さらにその消去されるブロック内のメモリセルの閾値は、プログラム状態もあれば消去状態もあるため、例えば図11に示すような複雑なアルゴリズムを用いて消去を行う必要がある。

【0010】

図11に示される消去方法について説明する。消去が開始されると、まず、1つのブロック内全てのメモリセルを通常書き込み動作（CHEによる書き込み方式）により書き込み状態にする（ステップS1）。次に、ステップS1により書き込まれたメモリセルの閾値が5.5V以上であるかどうかを検証するプログラムベリファイを例えば8ビット単位で行う（ステップS2）。メモリセルの閾値が5.5V以上でなければステップS1に戻り書き込みを続ける。一方、メモリセルの閾値が5.5V以上となればステップS3に進む。ステップS3においてブロック一括で消去パルス（ V_{pp} ）を印加する。ソースサイドから電子を引き抜きメモリセルの閾値を下げるにより消去が行われる。次に、ステップS4において、ブロック内の全てのメモリセルの閾値が3.5V以下であるかどうかを検証する消去ベリファイを行う。メモリセルの閾値が3.5V以下でなければステップS3に戻り消去を続ける。一方、メモリセルの閾値が3.5V以下となれば消去を終了させる。

【0011】

図11の消去方法からわかるように、消去後の閾値分布をできるだけタイトに、すなわち分布の幅を狭くして、かつ過剰消去セル（閾値が0V以下となるセル

）をなくすため、まず全てのセルを書き込み状態にしている。この書き込みは、通常のプログラム動作により、8個のメモリセルに対して同時に行うことができる。1つのセルの書き込み時間が 2μ 秒とすると、この書き込み動作にかかる時間は以下の通りである。

【0012】

$$\text{【数1】} \quad 2\mu\text{s} \times 64\text{Kb} \div 8 = 131\text{m秒}$$

【0013】

この時間は、消去総合時間を600m秒とすると、その約20%を占めることになる。また、ステップS2のベリファイについて、1セルあたり100ナノ秒を8ビット単位で行うと、ベリファイ時間は、

【0014】

$$\text{【数2】} \quad 100\text{n秒} \times 64\text{Kb} \div 8 = 6.6\text{m秒}$$

【0015】

程度になる。さらにステップS3の消去パルス印加については、300m秒程度である。

【0016】

図11の消去方式については、パルス印加のトータル時間を短縮する方法として、消去パルス印加時のソース印加電圧を高くすることが考えられるが、ソース電圧を上げるとバンド間トンネル電流が多くなり、トンネル酸化膜にホールがトラップされ、信頼性が劣化する。従って、ソース電圧をこれ以上高めることができず、そのため消去速度もこれ以上高めることができない。

【0017】

このようなフラッシュメモリの代表的な応用機器として携帯電話機が挙げられる。携帯電話機のように極めて強い小型化要求により容量に制約が大きい電源を強いられる条件下では、長時間の待ち受け期間でも、情報保持のためのバックアップ電源を必要としない不揮発性という特性を備えるフラッシュメモリが適している。また、フラッシュメモリ自身の記憶容量の拡大により、多くのアプリケーションプログラムやデータを格納し、これらを切り替えて実行することが可能となり携帯電話機が多機能化に寄与している。

【0018】

【特許文献1】

特開平9-320282号公報

【0019】

【発明が解決しようとする課題】

上述した不揮発性半導体記憶装置では、さらにそのアプリケーションプログラムやデータ自身が肥大化の傾向にあり、今後、フラッシュメモリに格納されているソフトウェアを書き換え可能なシステムが実用化され、バグの修正や機能をアップグレードすることが可能なシステムが望まれている。このような状況下、フラッシュメモリのように、プログラムデータなどのファイルの書き替えのために先ず一括消去しなければならない半導体記憶装置では、書き替えのために非常に長い時間を要し、しかも、ファイルをバッファリングするための余分な記憶領域をも確保しなければならないなど、その手順が非常に煩雑なものとなるという問題があった。

【0020】

本発明の目的は、上述した従来の問題点に鑑み、データの消去、再書き込みが迅速且つ確実にこなえる自由度の高い半導体記憶装置及びメモリセルアレイの消去方法を提供する点にある。

【0021】

【課題を解決するための手段】

この目的を達成するための本発明に係る不揮発性半導体記憶装置の特徴構成は、不揮発性のメモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線と複数のビット線とを配列してなるメモリセルアレイを一または複数有する半導体記憶装置であって、前記メモリセルは、電気抵抗の変化により情報を記憶する可変抵抗素子の一端側と選択トランジスタのドレインを接続してなり、且つ、前記メモリセルアレイ内において、前記抵抗変化素子の他端側と前記選択トランジスタのソースの何れか一方を前記列方向に沿って前記ビット線に共通接続し、その他方をソース線に共通接続し、前記選択トランジスタのゲートを前記

行方向に沿って前記ワード線に共通接続してなり、前記メモリセルアレイに接続する前記ワード線、前記ビット線、及び、前記ソース線に夫々所定の印加条件で電圧を印加し、当該メモリセルアレイ内の消去対象の前記メモリセル内の前記可変抵抗素子の電気抵抗を所定の消去状態にすることにより当該メモリセル内の前記情報を消去する消去手段を備え、前記消去手段は、前記メモリセルアレイの少なくとも一つにおいて、当該メモリセルアレイ内の全ての前記メモリセルを一括に消去する一括消去モードと、前記消去手段が当該メモリセルアレイ内の一部の前記メモリセルを個別に消去する個別消去モードとを、前記電圧の印加条件によって切り替える点にある。

【0022】

つまり、メモリセルアレイ内に構成されているメモリセルに対してプログラムデータなどを格納して、一括して書き替えるような場合には一括消去モードを採用し、メモリセルアレイ内に構成されているメモリセルに対してコードデータなどを格納して、個別にコードデータを書き替えるような場合には個別消去モードを採用するというように、電圧の印加条件によって消去モードを切り替え可能に構成してあるので、メモリセルに記憶されるデータの特性に応じて効率的に使用することが可能となる。

【0023】

前記消去手段は、前記メモリセルアレイの少なくとも一つに対し、当該メモリセルアレイ内の全ての前記メモリセルを、前記電圧の印加条件を一括消去モードの印加条件に設定して一括に消去可能に、また、前記メモリセルアレイの他の少なくとも一つに対し、当該メモリセルアレイ内の一部の前記メモリセルを、前記電圧の印加条件を個別消去モードの印加条件に設定して個別に消去可能に構成されていれば、メモリセルアレイ毎に一括消去モードと個別消去モードとを切り替え設定できるので、メモリセルに記憶されるデータの特性に応じてメモリセルアレイを効率的に使用することが可能となる。

【0024】

ここに、前記一括消去モードと前記個別消去モードの印加条件は、前記ワード線、前記ビット線、及び、前記ソース線の夫々に印加する電圧値を設定して行な

われる。

【0025】

上述の前記消去手段は、前記一括消去モードにおいて、前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行った後、前記各メモリセルが消去されたか否かを判定し、前記ワード線単位で行方向に全てのメモリセルが消去されている場合は、当該ワード線に対して前記一括消去モードの印加条件での電圧印加を停止し、前記ワード線単位で行方向に全てのメモリセルが消去されていないメモリセルに対しては、前記ワード線単位で行方向に全てのメモリセルが消去されるまで、当該ワード線に対して前記一括消去モードの印加条件での電圧印加と前記判定を繰り返すように構成することにより、前記ワード線単位で行方向に全てのメモリセルのデータが消去されている場合に、当該メモリセルの可変抵抗素子に対して必要以上に抵抗値を下げることにより、データの書き込み処理時に所定の抵抗値になるまでの書き込み時間が長くなるというような不都合を回避できるのである。つまり、各メモリセルの可変抵抗素子の抵抗値を均一に保ちながら、データの書き込み処理時に所定の抵抗値になるまでの書き込み時間のばらつきを低減できるので好ましい。

【0026】

前記メモリセルアレイ内の書き込み対象の前記メモリセルに接続する前記ワード線、前記ビット線、及び、前記ソース線に夫々所定の印加条件で電圧を印加し、当該メモリセル内の前記可変抵抗素子の電気抵抗を所定の書き込み状態にすることにより当該メモリセル内に前記情報を書き込む書き込み手段を備え、前記一括消去モードにおいて、前記消去手段が、前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行う前に、前記書き込み手段が、当該メモリセルの全てに対し、前記可変抵抗素子の電気抵抗が所定の書き込み状態に統一されるように書き込み動作を行うように構成すれば、一旦、メモリセルを全て高抵抗状態にした後、上述した一括消去モードでの消去動作を行ことで、データの書き込みがされておらず抵抗値の小さなメモリセルに異常に電流が流れることを回避して消去時の消費電流を低減しながらも抵抗値のばらつきを低減させることができるのである。

【 0 0 2 7 】

前記消去手段は、前記個別消去モードにおいて、前記メモリセルアレイ内の消去対象の前記メモリセルに対し、前記個別消去モードの印加条件で電圧の印加を行った後、当該メモリセルが消去されたか否かを個別に判定し、消去されているメモリセルについては、当該メモリセルに接続する前記ワード線または前記ビット線の少なくとも何れか一方に対して前記個別消去モードの印加条件での電圧印加を停止し、消去されていないメモリセルに対しては、当該メモリセルが消去されるまで、メモリセル単位で前記個別消去モードの印加条件での電圧印加と前記判定を繰り返すように構成すれば、個別消去モードにおける消去時の抵抗値のばらつきの低減を図る点で好ましい。

【 0 0 2 8 】

上述した観点から、本発明に係るメモリセルアレイの消去方法の特徴構成は、前記メモリセルアレイ内の全ての前記メモリセルを前記メモリセルアレイ単位で一括に消去する一括消去モードと、前記メモリセルアレイ内の一部の前記メモリセルを個別に消去する個別消去モードとを備え、前記各消去モードにおいては、前記メモリセルアレイの消去対象のメモリセルに接続する前記ワード線、前記ビット線、及び、前記ソース線の夫々に各消去モードの印加条件で電圧を印加し、当該消去対象のメモリセル内の前記可変抵抗素子の電気抵抗を所定の消去状態にすることにより当該メモリセル内の前記情報を消去し、前記一括消去モードの印加条件と前記個別消去モードの印加条件は、前記ワード線、前記ビット線、及び、前記ソース線の少なくとも一つに対する印加条件が異なる点にある。

【 0 0 2 9 】

前記一括消去モードにおいて、前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行った後、前記各メモリセルが消去されたか否かを判定し、前記ワード線単位で行方向に全てのメモリセルが消去されている場合は、当該ワード線に対して前記一括消去モードの印加条件での電圧印加を停止し、前記ワード線単位で行方向に全てのメモリセルが消去されていないメモリセルに対しては、前記ワード線単位で行方向に全てのメモリセルが消去されるまで、当該ワード線に対して前記一括消去モードの印加条件

での電圧印加と前記判定を繰り返すことが、メモリセルを構成する可変抵抗素子の抵抗値のばらつきを低減させる点で好ましく、前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行う前に、前記メモリセルアレイに接続する前記ワード線、前記ビット線、及び、前記ソース線に夫々所定の印加条件で電圧を印加し、当該メモリセル内の前記可変抵抗素子の電気抵抗を所定の書き込み状態に統一されるように書き込み動作を行うことが同様の観点でより好ましい。

【0030】

前記個別消去モードにおいて、前記メモリセルアレイ内の消去対象の前記メモリセルに対し、前記個別消去モードの印加条件で電圧の印加を行った後、当該メモリセルが消去されたか否かを個別に判定し、消去されているメモリセルについては、当該メモリセルに接続する前記ワード線または前記ビット線の少なくとも何れか一方に対して前記個別消去モードの印加条件での電圧印加を停止し、消去されていないメモリセルに対しては、当該メモリセルが消去されるまで、メモリセル単位で前記個別消去モードの印加条件での電圧印加と前記判定を繰り返すことで、メモリセルを構成する可変抵抗素子の抵抗値のばらつきを低減させる点で好ましい。

【0031】

【発明の実施の形態】

以下、本発明の実施形態について説明する。

本発明による不揮発性半導体記憶装置は、図1に示すように、不揮発性のメモリセル20を行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数のワード線WL1、・・・、WLmと複数のビット線BL1、・・・、BLnとを配列してなるメモリセルアレイを一または複数備えて構成してある。

【0032】

前記メモリセル20は、電気抵抗の変化により前記情報を記憶する可変抵抗素子24の一端側と選択トランジスタ21のドレインを接続してなり、且つ、前記メモリセルアレイ内において、前記抵抗変化素子24の他端側と前記選択トラン

ジスタ 21 のソースの何れか一方を前記列方向に沿って前記ビット線 BL に共通接続し、その他方をソース線 SL に共通接続し、前記選択トランジスタ 21 のゲートを前記行方向に沿って前記ワード線 WL に共通接続してなる。

【0033】

さらに、前記メモリセルアレイに接続する前記ワード線 WL、前記ビット線 BL、及び、前記ソース線 SL に夫々所定の印加条件で電圧を印加し、当該メモリセルアレイ内の消去対象の前記メモリセル内の前記可変抵抗素子の電気抵抗を所定の消去状態にすることにより当該メモリセル内の前記情報を消去する消去手段としての消去回路 13 を備えてある。

【0034】

前記消去手段 13 は、前記メモリセルアレイの少なくとも一つにおいて、当該メモリセルアレイ内の全ての前記メモリセルを一括に消去する一括消去モードと、前記消去手段が当該メモリセルアレイ内の一部の前記メモリセルを個別に消去する個別消去モードとを、前記電圧の印加条件によって切り替えるように構成してある。

【0035】

詳述すると、図 2 に示すように、本発明に用いるソース共通型メモリセル 20 は、半導体基板 30 上の素子分離領域により分離された領域内に形成された選択トランジスタ 21 と、前記選択トランジスタ 21 のドレイン領域 22 と電気的に接続された可変抵抗素子 24 とから構成され、前記選択トランジスタ 21 のソース領域 23 は隣のメモリセルと共有される。前記可変抵抗素子 24 は、例えば図 3 に示すように、電圧パルスの印加回数によって抵抗値が連続的に変化するもので、電気的ストレスにより電気抵抗が変化し前記電気的ストレス解除後も変化した電気抵抗が保持され、マンガンを含むペロブスカイト構造の酸化物、例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ）、 $\text{Sr}_2\text{FeMoO}_6$ 、 Sr_2FeWO_6 で表される何れかの物質、例えば、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等のマンガン酸化膜を MOCVD 法、スピ

ンコーティング法、レーザアブレーション、スパッタリング法等で成膜して作成される。前記可変抵抗素子 24 へのデータの書き込み時間は数十ナノ秒から 200 ナノ秒であるため、フラッシュメモリよりも書き込み速度が速く、逆極性の電圧を数十ナノ秒から 200 ナノ秒印加することで消去も可能であり、書き込み、消去速度はフラッシュメモリよりも断然速いものである。

【0036】

以下、本明細書では、可変抵抗素子の「抵抗値を上げる」ときを「書き込む」と表現し、通常、書き込みを行なうときは選択トランジスタをオンにしてビット線 BL に 5 V、ソース線 SL に 0 V の電圧を印加し、逆に消去するときは選択トランジスタをオンにして逆極性の電圧を印加し、読み出しを行なうときは選択トランジスタをオンにしてビット線 BL に書き込み電圧より低い電圧（例えば 2 V）、ソース線 SL に 0 V を印加するものとして説明するが、それぞれの電圧値は、電圧発生回路により切り替え供給されるように構成され、その値は、上述の値に限定されるものではなく、不揮発性抵抗変化素子の特性に合わせて適宜設定すればよい。即ち、選択メモリセル 20 へのデータの書き込みは、図 4（a）に示すように、ソース線 SL を低電位（例えば接地電位）にした状態で、選択セルのワード線 WL に例えば 3 V、ビット線 BL に例えば 5 V 電圧を印加して、非選択のワード線 WL、ビット線 BL を 0 V にすることにより行なう。これにより選択セルに対してのみ選択トランジスタが導通し、抵抗素子の両端に電圧が印加されるために、選択セルの抵抗素子の抵抗値が上昇する。書き込みを行ったメモリセルに対して抵抗値が所定の値になっているか検証するため、例えば図外の差動増幅回路により選択メモリセルに流れる電流または選択メモリセルにかかる電圧と所定の値とを比較するプログラムベリファイを行い、所定の抵抗値になるまで書き込み電圧を印加してベリファイを繰り返す。ワード線 WL に加える電圧は、選択トランジスタのオン電圧以上であればよい。

【0037】

読み出しは、選択メモリセルのワード線 WL に例えば 3 V、ビット線 BL に書き込み電圧より低い電圧（例えば 2 V）、ソース線 SL に 0 V を印加する。この時、書き込みセルと非書き込みセルでは、抵抗値が異なることから選択トランジ

スタのソース・ドレイン間に流れ込む電流が異なる。この電流を例えば差動増幅回路を用いてセンスして、ある一定電流より電流が大きい場合“0”、小さい場合“1”とする。

【0038】

前記消去回路13は、前記メモリセルアレイの少なくとも一つにおいて、当該メモリセルアレイ内の全ての前記メモリセルを一括に消去する一括消去モードと、前記消去回路13が当該メモリセルアレイ内の一部の前記メモリセルを個別に消去する個別消去モードとを、電圧の印加条件によって切り替えて行うように構成してある。

【0039】

前記一括消去モードにおいては、図4(b)に示すように、一または複数のメモリアレイのソース線SLに例えば5V、ワード線WLに例えば3V、ビット線BLに、例えば0Vの消去パルスが印加される。この電圧印加状態は、図4(a)に示す書き込み動作とは逆の電圧が印加されるもので、これにより可変抵抗素子の抵抗値が低下する。さらに、前記一括消去モードにおいて、前記メモリセルアレイ内の全ての前記メモリセル20に対し、前記一括消去モードの印加条件で電圧の印加を行った後、前記各メモリセルが消去されたか否かを判定し、前記ワード線単位で行方向に全てのメモリセルが消去されている場合は、当該ワード線に対して前記一括消去モードの印加条件での電圧印加を停止し、前記ワード線単位で行方向に全てのメモリセルが消去されていないメモリセルに対しては、前記ワード線単位で行方向に全てのメモリセルが消去されるまで、当該ワード線に対して前記一括消去モードの印加条件での電圧印加と前記判定を繰り返す。

【0040】

図5に示すように、前記一括消去モードにおいては、先ず図4(a)の条件で消去パルスが印加され(S11)、選択メモリセルの抵抗値が所定の抵抗値レベル以下になっているか検証する消去ベリファイを行ない(S12)、ワード線単位で行方向に全てのメモリセルが消去されたときには、当該ワード線WL又はワード線WL群については電圧印加を停止し、その他のワード線WLまたはワード線WL群とソース線SLに電圧を印加して部分消去し(S13)、ベリファイを

行い、全てのメモリセルの可変抵抗素子 24 が所定の抵抗値以下になると (S 14) 消去終了となる。上記消去を 64 K b のメモリ容量に対して行くと、消去時間は 50 ナノ秒、ベリファイは、フラッシュメモリと同様とすると、6.6 m秒であり、ほぼベリファイ時間の 6.6 m秒になる。尚、ここで、全てのメモリセルの可変抵抗素子 24 が所定の抵抗値以下になるまで、ステップ 11 からステップ 12 を繰り返すことも可能であるが、この場合には、既に所定の抵抗値以下となったメモリセルに対して引き続き消去動作が実行されるため、余分な電力が消費され、次にデータを書き込むときに抵抗値がばらついているために必要以上の時間を要する虞があるなどの観点から、上述のステップ 13, 14 の消去シーケンスに入ることが望ましい。

【0041】

前記個別消去モードにおいては、図 4 (c) に示すように、選択メモリセルのソース線 S L に例えば 0 V、所定のワード線 W L に例えば 3 V、所定のビット線 B L に例えば -5 V の消去パルスが印加される。この電圧印加状態は、図 4 (a) に示す書き込み動作とは相対的に逆の電圧が印加されるもので、これにより可変抵抗素子の抵抗値が低下する。本モードによれば、メモリセルアレイ全体を消去することなく 1 ビット毎に消去書き込みが可能となる。ここで、前記メモリセルアレイ内の消去対象の前記メモリセル 20 に対し、前記個別消去モードの印加条件で電圧の印加を行った後、当該メモリセル 20 が消去されたか否かを個別に判定し、消去されているメモリセルについては、当該メモリセルに接続する前記ワード線または前記ビット線の少なくとも何れか一方に対して前記個別消去モードの印加条件での電圧印加を停止し、消去されていないメモリセルに対しては、当該メモリセルが消去されるまで、メモリセル単位で前記個別消去モードの印加条件での電圧印加と前記判定を繰り返すように構成することが、メモリセルを構成する可変抵抗素子の抵抗値のばらつきを小さくするという観点で好ましい。1 ビット消去の時間は、消去時間 50 ナノ秒、ベリファイは 100 ナノ秒、合計 150 ナノ秒になる。64 K b のブロックを 1 ビットずつ消去する時間は、

【0042】

$$\text{【数 3】} \quad 150 \text{ n秒} \times 64 \text{ K b} = 78.6 \text{ m秒}$$

【0043】

であり、一括消去する時間（6.6m秒、9.9m秒）より長くなる。

【0044】

上述した実施形態では、消去手段として、前記メモリセルアレイの少なくとも一つにおいて、当該メモリセルアレイ内の全ての前記メモリセルを一括に消去する一括消去モードと、前記消去手段が当該メモリセルアレイ内の一部の前記メモリセルを個別に消去する個別消去モードとを、前記電圧の印加条件によって切り替えるように構成するものを説明したが、消去手段としては、前記メモリセルアレイの少なくとも一つに対し、当該メモリセルアレイ内の全ての前記メモリセルを、前記電圧の印加条件を一括消去モードの印加条件に設定して一括に消去可能に、また、前記メモリセルアレイの他の少なくとも一つに対し、当該メモリセルアレイ内の一部の前記メモリセルを、前記電圧の印加条件を個別消去モードの印加条件に設定して個別に消去可能に構成するものであってもよい。

【0045】

つまり、メモリセルアレイを効率よく一括消去してそこに新たなプログラムデータを更新記憶する必要がある用途、ビット単位でデータを頻繁に勝つ高速に変更する必要がある用途、その組み合わせが必要とされる用途など、上述の半導体記憶装置の用途に合わせて適宜消去手段を構成することが可能である。

【0046】

図8に示すように、本発明による不揮発性半導体記憶装置を用いて、8Mのコード用バンクを個別消去モードで消去する1ビット消去バンク1、2として構成するとともに、24Mのデータ用バンクを一括消去モードで消去する一括消去バンク1、2として構成するなど、用途に応じて半導体記憶装置の構成と消去方式を適宜組み合わせて採用することが可能である。尚、図中、周辺回路1は、一括消去バンクに対するワード線選択回路、書き込み電圧発生回路、一括消去モードで消去する一括消去回路などが、周辺回路2は、1ビット消去バンクに対応するワード線選択回路、個別消去モードで消去するビット消去回路、読み出し回路などがそれぞれ構成され、それぞれのバンクにおける動作不良のメモリセルに備えて冗長ブロックが構成されている。

【0047】

また、前記メモリセルアレイ内の書き込み対象の前記メモリセル20に接続する前記ワード線WL、前記ビット線BL、及び、前記ソース線SLに夫々所定の印加条件で電圧を印加し、当該メモリセル20内の前記可変抵抗素子24の電気抵抗を所定の書き込み状態にすることにより当該メモリセル20内に前記情報を書き込む書き込み手段を備え、前記一括消去モードにおいて、前記消去手段が、前記メモリセルアレイ内の全ての前記メモリセルに対し、前記一括消去モードの印加条件で電圧の印加を行う前に、前記書き込み手段が、当該メモリセルの全てに対し、前記可変抵抗素子の電気抵抗が所定の書き込み状態に統一されるように書き込み動作を行うように構成することも可能である。

【0048】

つまり、メモリセルアレイ内には、書き込みされていないセルもあるため、消去電圧を印加すると書き込みされていないセルに流れる電流が書き込みセルに対して多くなるため、一度書き込み状態、すなわち高抵抗状態にすることで消去電圧印加時の消費電流の低減が可能になり、また消去時の抵抗値のばらつきの低減も可能になる。具体的には、図6に示すように、アレイ内又はウェル内のセルに書き込み電圧を印加する（S21）。次に全てのセルが書き込み状態にあるか検証するプログラムベリファイを行い、書き込み状態になるまで、プログラム、ベリファイを繰り返す（S22）。その後、前記消去方法と同様に、消去電圧印加（S23）と消去ベリファイ（S24）を行う。このときの消去時間は、ウェル内の全ビットを書き込む時間（1ビット50ナノ秒）が、3.3m秒、ベリファイ時間が6.6m秒であり合計9.9ミリ秒になり、約25%増加するが消費電流が低減される。

【0049】

上述した消去回路13では、図4（b）、（c）に示す電圧印加条件で一括消去と1ビット消去を実行するものを説明したが、図7に示すように、消去回路を、上述した図4（b）に示す電圧印加条件で一括消去を実行する第一消去回路と、1ビット消去時にその第一消去回路によりソース線SLを5Vに保ちながら、第二消去回路により消去対象となるメモリセルに接続されたビット線BLを0V

、消去対象外のメモリセルに接続されたビット線BLを5Vに制御するよう構成し、上述の第一消去回路と第二消去回路の動作を消去方式選択信号で切り替え作動させる消去方式選択回路とで構成するものであってもよい。

【0050】

上述した実施形態で説明した可変抵抗素子以外に、磁化の方向により抵抗値が変わるMRAM素子や熱による結晶状態の変化により抵抗値が変わるOUM素子などを用いて不揮発性半導体記憶装置を構成することも可能である。

【0051】

【発明の効果】

以上詳細に説明したように、本発明によれば、用途に応じて一括消去と個別消去というメモリセルの消去方法が選択可能で、データの消去、再書き込みが迅速且つ確実に行なえ、しかも消費電力を低減可能な半導体記憶装置及びメモリセルアレイの消去方法を提供することができるようになった。

【図面の簡単な説明】

【図1】

本発明に用いる可変抵抗素子を用いて構成したメモリアレイ部の構成図

【図2】

本発明に用いる可変抵抗素子を用いたメモリセルの断面の模式図

【図3】

本発明に用いる可変抵抗素子の特性を示す図

【図4】

本発明に用いる可変抵抗素子を用いたメモリセルの書き込み、消去の電圧条件を示す模式図

【図5】

本発明に用いる可変抵抗素子を用いて構成したメモリアレイの消去方法のフローチャート

【図6】

本発明に用いる可変抵抗素子を用いて構成したメモリアレイの消去方法のフローチャート

【図 7】

別実施形態を示す本発明に用いる可変抵抗素子を用いて構成したメモリアレイ部の構成図

【図 8】

別実施形態を示す本発明に用いる可変抵抗素子を用いて構成したメモリアレイ部のブロック構成図

【図 9】

E T O X 型メモリセルの断面図

【図 10】

従来例に用いるソース共通型のメモリアレイ部の構成図

【図 11】

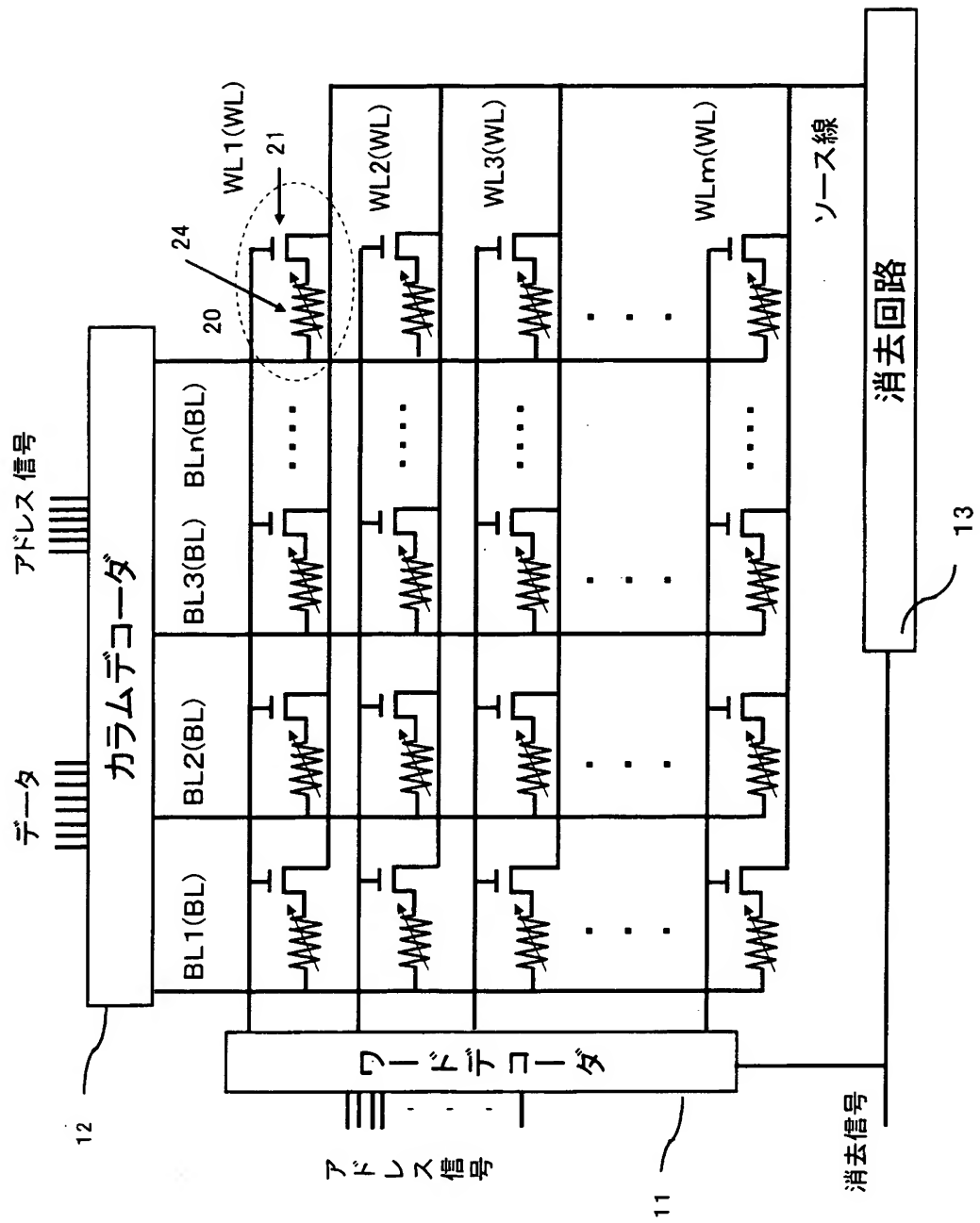
従来例の消去アルゴリズムを示すフローチャート

【符号の説明】

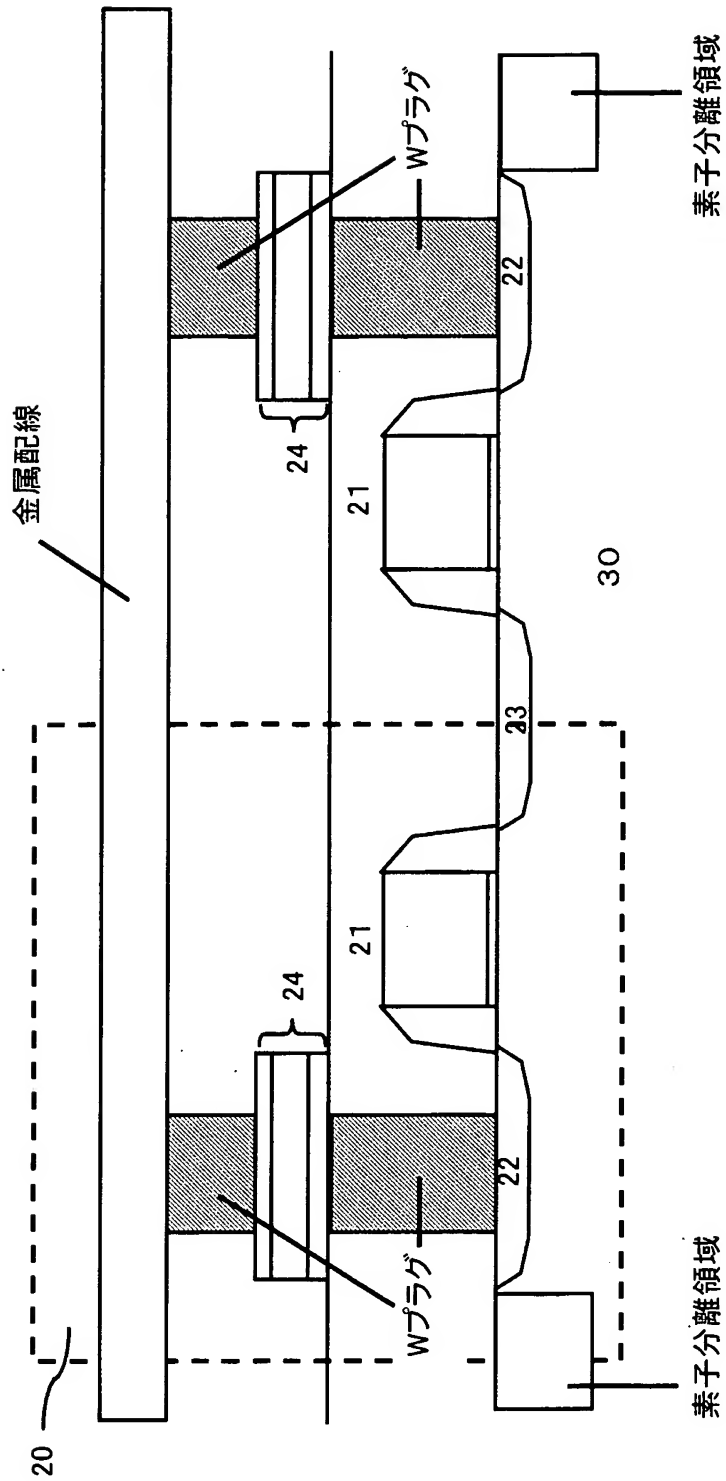
- 1 半導体基板
- 2 ドレイン領域
- 3 ソース領域
- 4 ゲート絶縁膜
- 5 フローティングゲート
- 6 層間絶縁膜
- 7 コントロールゲート
- 10 E T O X 型メモリセル
- 11 ワードデコーダ
- 12 カラムデコーダ
- 13 消去回路
- 20 可変抵抗素子を用いたメモリセル
- 21 選択トランジスタ
- 22 ドレイン領域
- 23 ソース領域
- 24 可変抵抗素子

【書類名】 図面

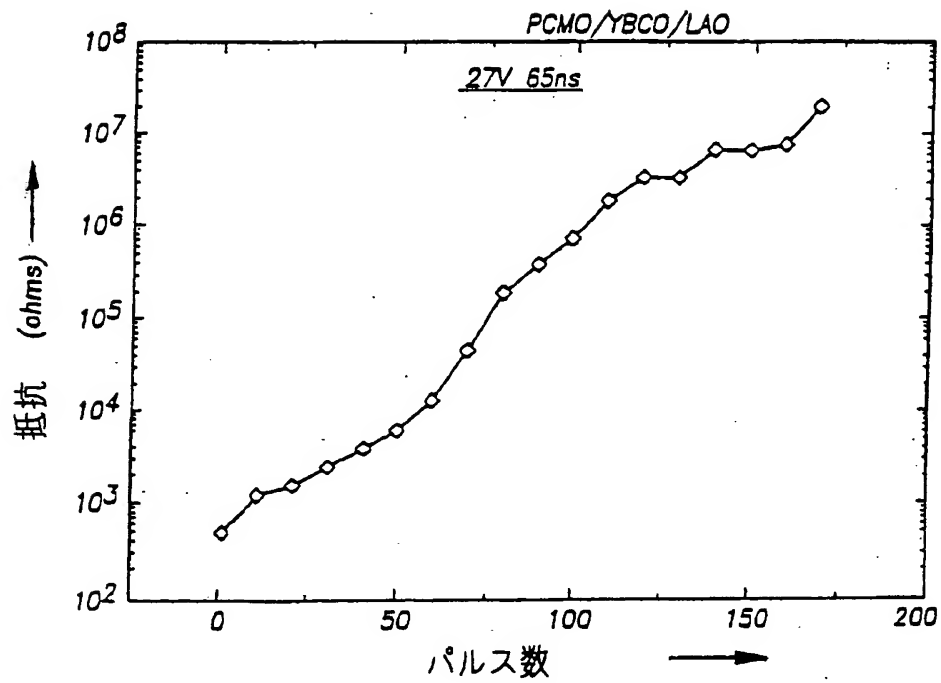
【図 1】



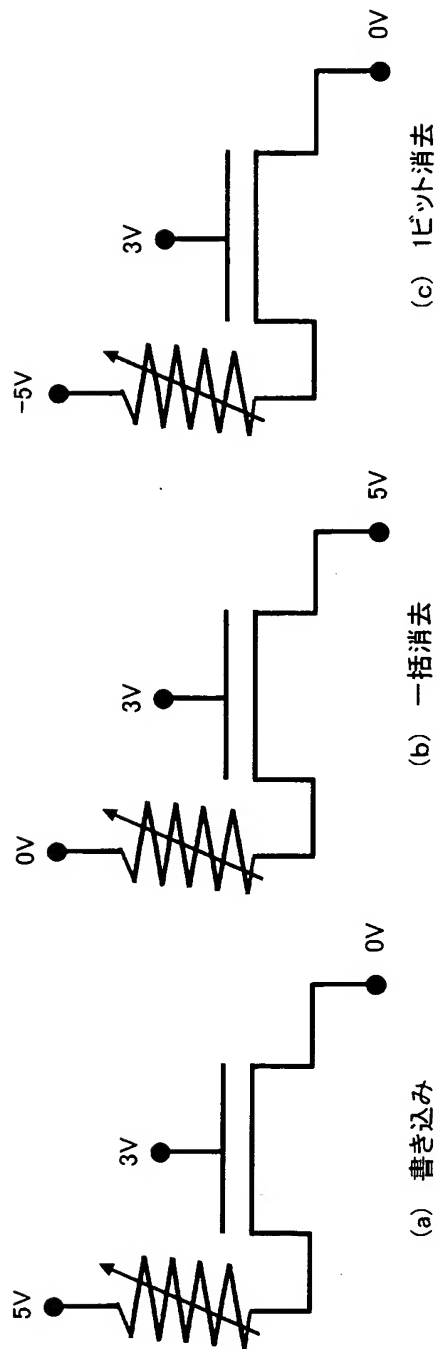
【図 2】



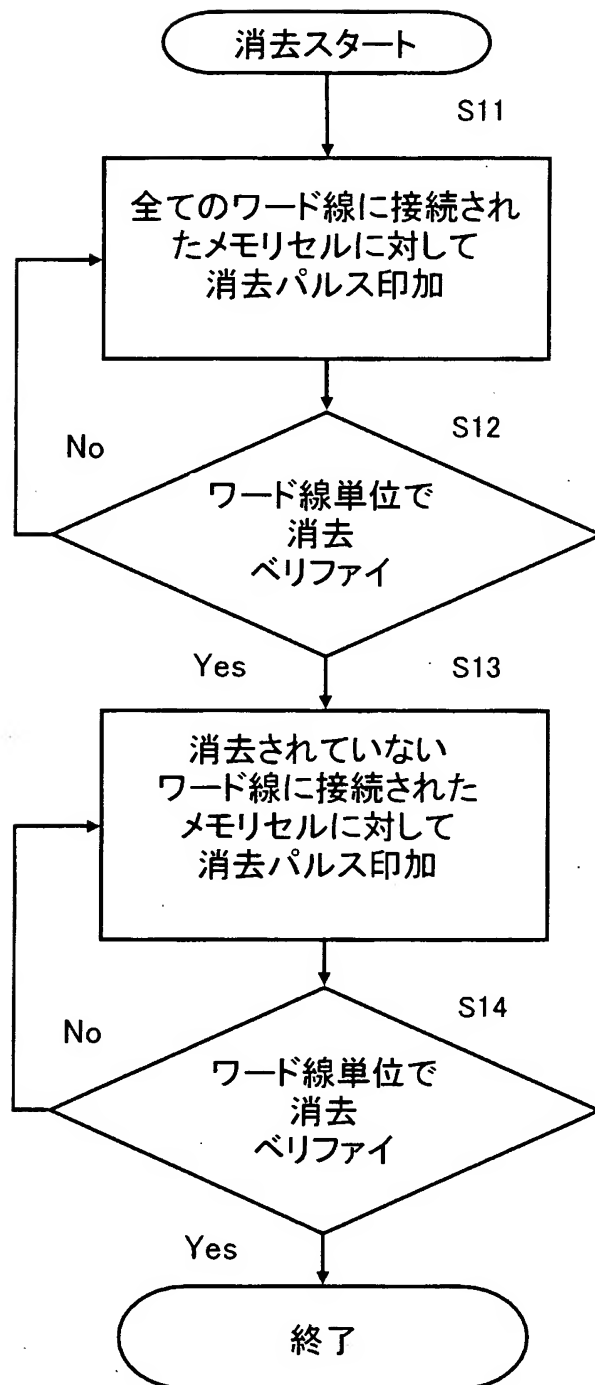
【図 3】



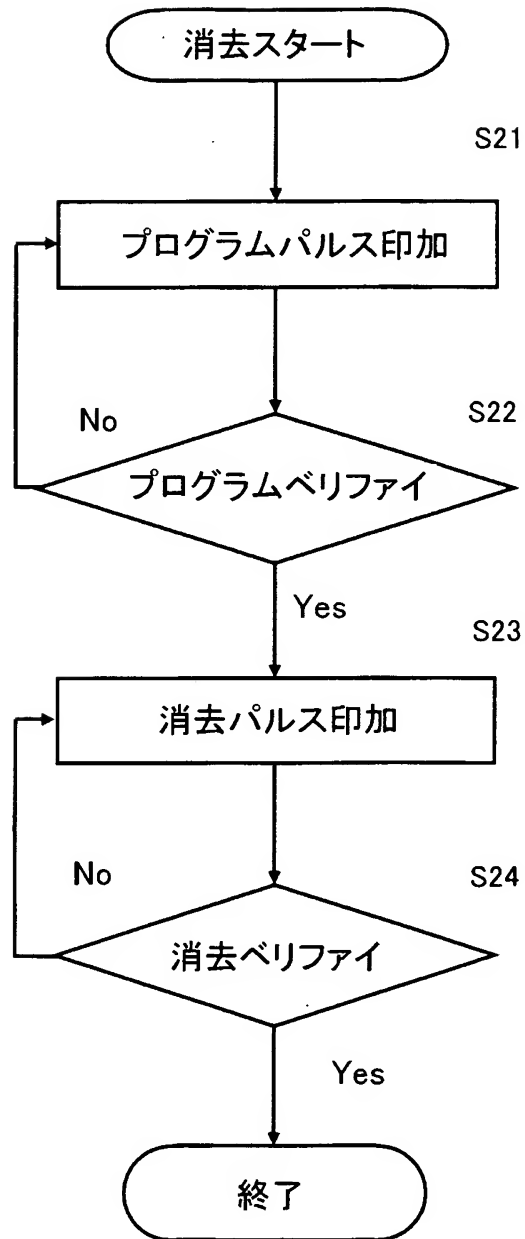
【図 4】



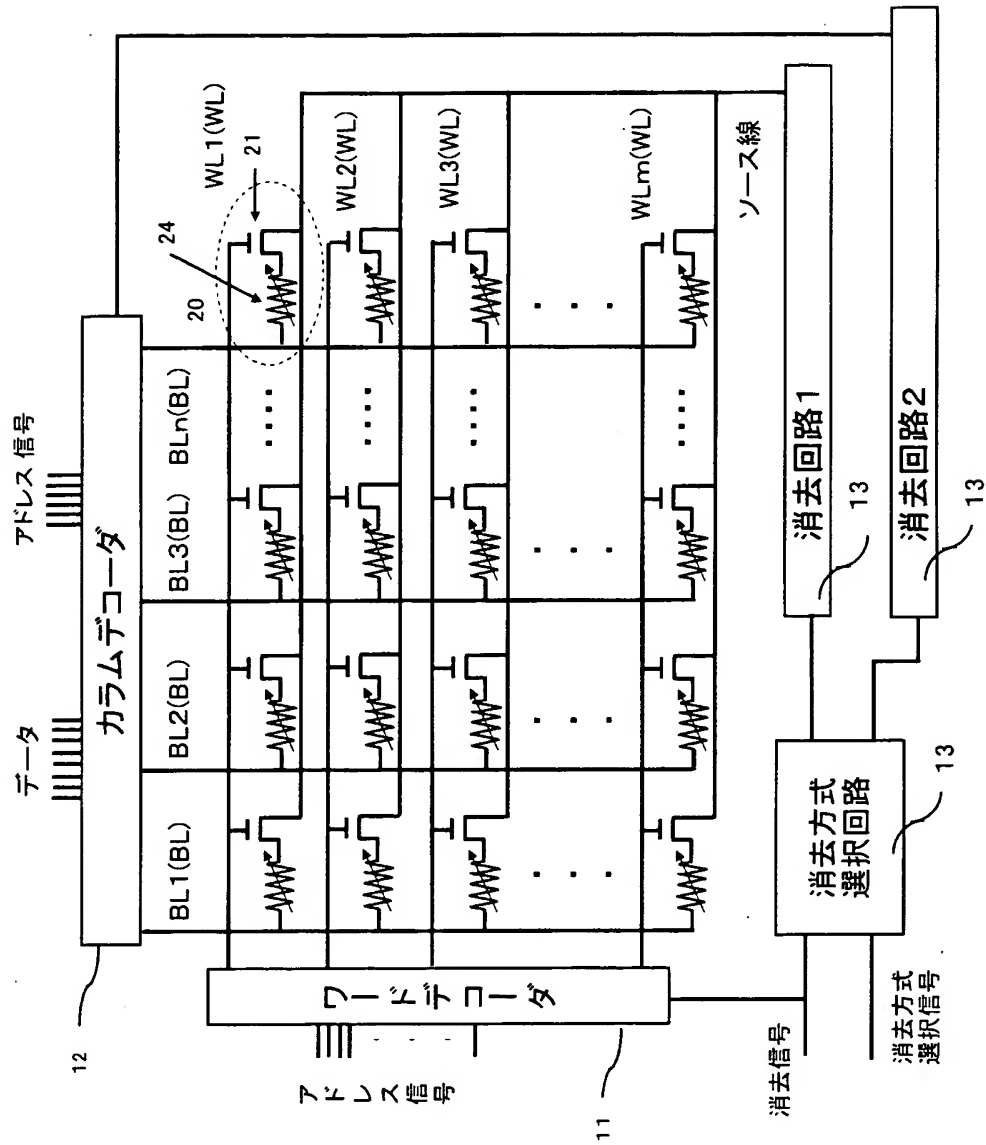
【図 5】



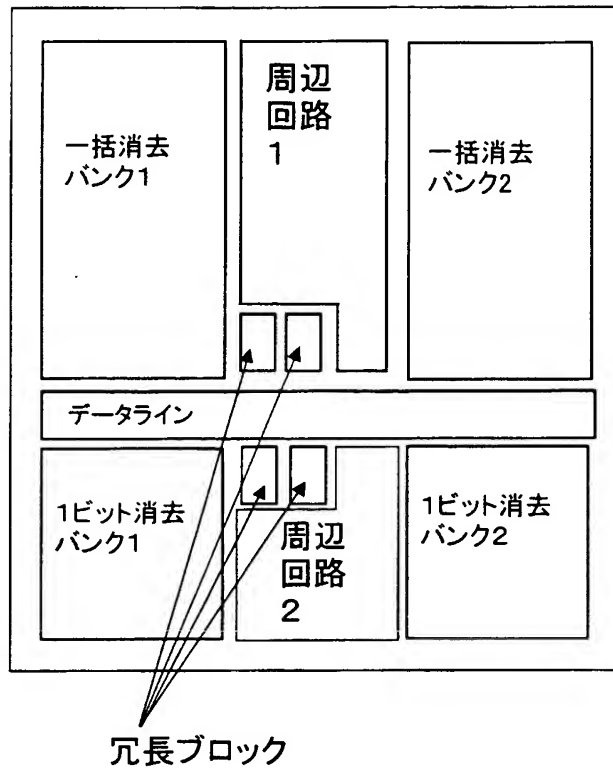
【図 6】



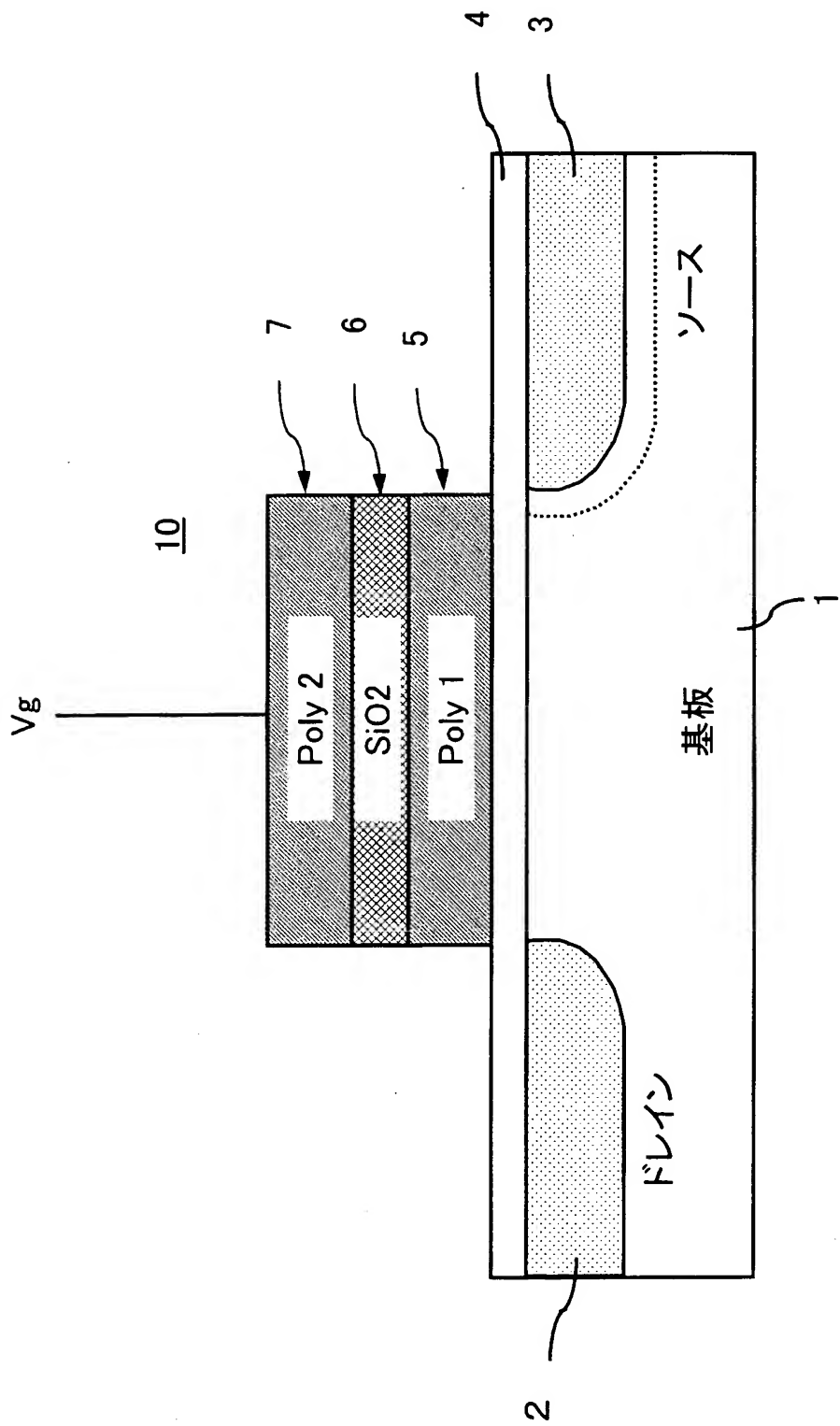
【図 7】



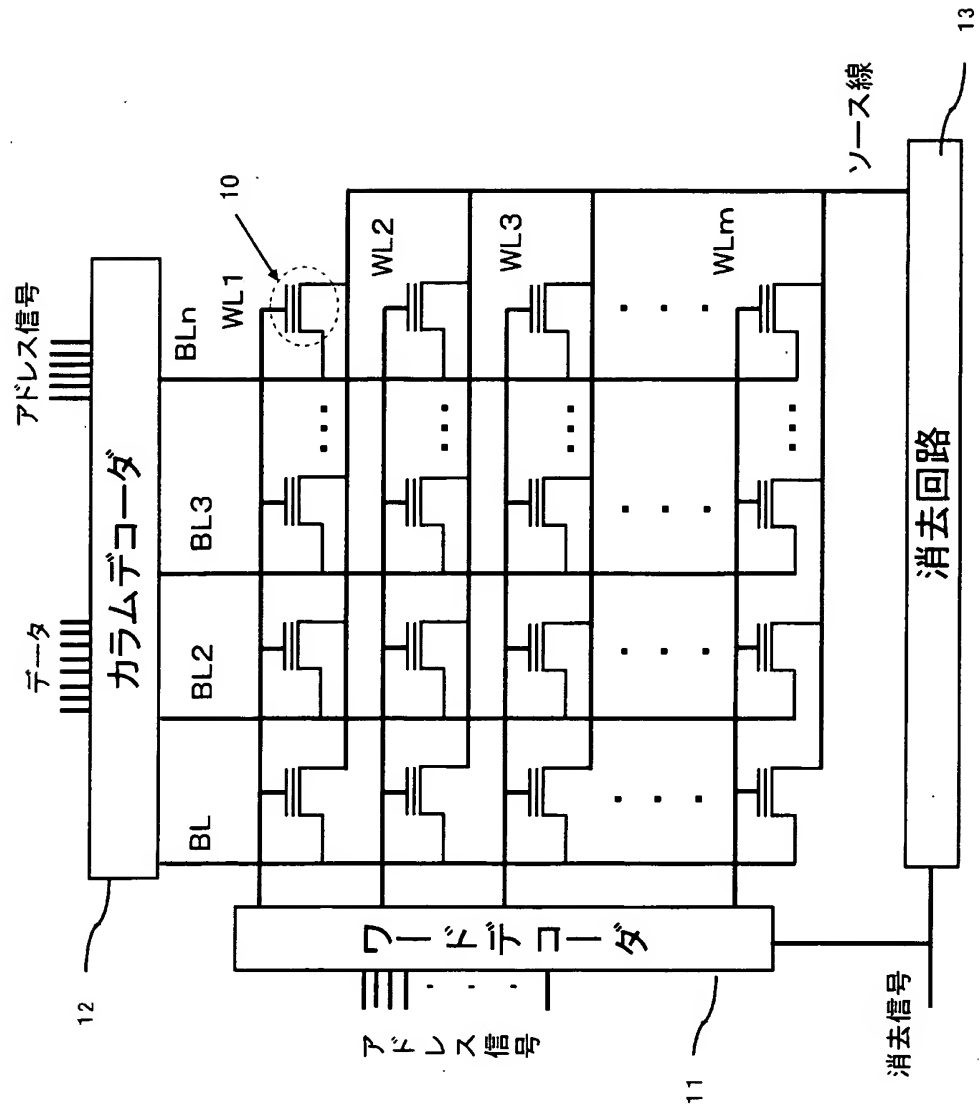
【図 8】



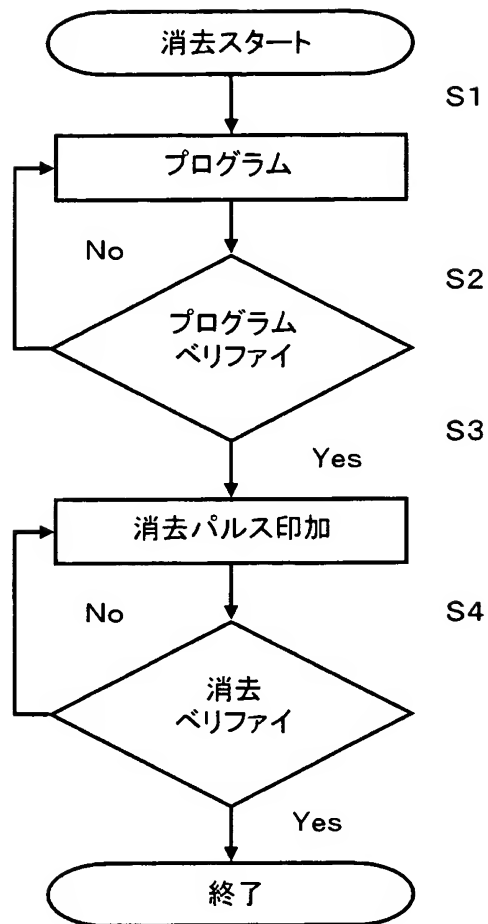
【図9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 データの消去、再書き込みが迅速且つ確実に行なえる自由度の高い半導体記憶装置及びメモリセルアレイの消去方法を提供する。

【解決手段】 電気抵抗の変化により情報を記憶する可変抵抗素子 24 と選択トランジスタ 21 とで構成される不揮発性のメモリセル 20 をマトリックス状に配列し、所定のメモリセルを選択するためにワード線 WL1、・・・、WLm とビット線 BL1、・・・、BLn とを配列してなるメモリセルアレイに対して、メモリセルアレイに接続するワード線 WL、ビット線 BL、ソース線 SL に所定の印加条件で電圧を印加して前記可変抵抗素子の電気抵抗を所定の消去状態にする消去手段 13 を備え、消去手段 13 は、メモリセルアレイ内の全てのメモリセル 20 を一括に消去する一括消去モードと、当該メモリセルアレイ内の一部のメモリセル 20 を個別に消去する個別消去モードとを、前記電圧の印加条件によって切り替える。

【選択図】 図 1

特願 2 0 0 2 - 3 5 3 7 3 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日
[変更理由]
住 所
氏 名

1 9 9 0 年 8 月 2 9 日
新規登録
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
シャープ株式会社